

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-288483

(43)Date of publication of application : 18.12.1991

(51)Int.Cl.

H01L 43/06

(21)Application number : 02-088190

(71)Applicant : ASAHI CHEM IND CO LTD

(22)Date of filing : 04.04.1990

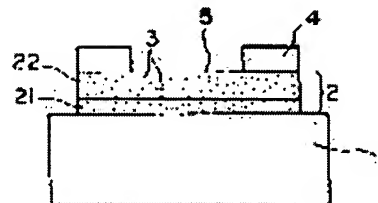
(72)Inventor : SHIBAZAKI ICHIRO  
KANAYAMA YUICHI  
ITO TAKASHI

## (54) INAS HALL EFFECT ELEMENT

### (57)Abstract:

**PURPOSE:** To provide a highly sensitive InAs Hall element which operates stably not only at a room temperature but also at a high temperature by setting an impurity concentration in a part of high electron mobility to a specific range in the InAs Hall element having an electron movement structure of two layers which consists of a low electron mobility part and a high electron mobility part.

**CONSTITUTION:** The InAs Hall element has a magnetic sensitive part of an InAs thin film which has two layer structure of a low electron mobility part 21 near an interface of a substrate 1 and a high electron mobility part 22 far from the interface. As an impurity atom of an electron movement part, generally, one which functions as donner impurities to InAs, such as Si, S, Ge, Sn is good. An doping amount of  $4 \times 10^{16}/\text{cm}^3$  or more as a carrier concentration is required for a B-layer 22 of high electron mobility of an InAs thin film. According to this constitution, an InAs Hall element can be acquired, whose input resistance value scarcely lowers due to a temperature in a temperature region of -40 to +150°C.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

平3-288483

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月18日

H 01 L 43/06

Z

6940-4M

審査請求 未請求 請求項の数 1 (全12頁)

⑭ 発明の名称 InAs ホール効果素子

⑮ 特 願 平2-88190

⑯ 出 願 平2(1990)4月4日

⑰ 発 明 者 柴 崎 一 郎 静岡県富士市鮫島2番地の1 旭化成工業株式会社内  
 ⑰ 発 明 者 金 山 裕 一 静岡県富士市鮫島2番地の1 旭化成工業株式会社内  
 ⑰ 発 明 者 伊 藤 隆 静岡県富士市鮫島2番地の1 旭化成工業株式会社内  
 ⑰ 出 願 人 旭化成工業株式会社 大阪府大阪市北区堂島浜1丁目2番6号

## 明 細 書

## 1. 発明の名称

InAs ホール効果素子

## 2. 特許請求の範囲

(1) 絶縁性の基板上に形成され、厚さ0.2～1.4  $\mu\text{m}$  で、かつ低い電子移動度部と高い電子移動度部から成る二層の電子移動度構造を有し、少なくとも該高い電子移動度部は、キャリア濃度(電子濃度)  $4 \times 10^{18} \sim 8 \times 10^{17}$  個/ $\text{cm}^3$  の範囲でドナー不純物がドーピングされているInAs薄膜を感磁部とするInAsホール効果素子

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、抵抗値の温度変化の極めて小さい新規な二層構造をもつInAsホール効果素子(以下“InAsホール素子”という)に関する。

〔従来の技術〕

従来、InAsホール素子を作る方法としては、単結晶のInAsをつくりこれをスライスし、次いで研磨により薄くした材料を用いる方法、マイカ基板

上に蒸着したInAs多結晶薄膜を剝離してフェライト等の基板上に接着したものを用いる方法、GaAs基板上に成長させたInAs薄膜を用いる方法等があった。

しかし、上に述べた第一の方法では、工業的に一定の厚さでInAs薄膜を製作することや、それを1  $\mu\text{m}$  またはそれ以下の厚さにすることが非常に難しく量産に適していなかった。第二の方法では、InAs薄膜の厚さは一定にそろえられるが、薄膜と基板の間に接着剤として有機物の絶縁層が形成されるため、100℃をこえる高温で動作させるInAsホール素子としては好ましいものでなかった。第三の方法によるものは、InAs薄膜と基板との界面には有機層のようなものではなく高温度までの使用に耐えうる。しかしInAsと基板とは異種材料であるため、基板との界面付近のInAs単結晶は基板との格子不整合のために多くの格子欠陥を有し、かつ結晶格子も乱れていることは知られている。このためInAsの薄膜をホール素子として利用すると抵抗値の温度変化が大きく、すなわち60℃付

近から抵抗値が温度の上昇とともに低下してゆく特性をもっている。このためこの材料を用いたホール素子は100℃をこえて一定電圧の入力で使用すると、上述の抵抗値の低下により発熱量が増大し素子温度が上昇し更に抵抗値を下げるという自己暴走的なモードが生ずるというホール素子駆動上の大きな欠点をもっている。したがって100℃以上で負である抵抗値の温度係数をほとんど零もしくは正にすることによりこの欠点を改善する必要がある。

一方キャリアー濃度(電子濃度)を増やして抵抗値の温度変化を少なくすることが可能であるが、実用素子としてキャリアー濃度 $n$ には上限があり、キャリアー濃度を大きくすることによってだけでは室温から100℃付近までしか抵抗値の温度変化を少なくすることは期待できない。なぜならホール素子の駆動条件から決まるシート抵抗値に上限があるためである。しかも電子濃度の温度変化のほかに電子移動度の温度変化が100℃以上ではかなり大きく、抵抗値の温度変化を後者が支配

するようになる。このため従来の技術では厚さ $1.4\mu\text{m}$ 以下のInAs薄膜の温度変化を100℃以上においても小さくする技術は見いだされていない。すなわち実用的なホール素子を製作するのに好都合の厚さ $1.4\mu\text{m}$ 以下のInAs薄膜において、100℃以上での抵抗値の温度変化を小さくすることや、温度の上昇にともなう抵抗値の低下をなくすることは従来未踏の技術であった。その理由の一つは、このように薄いInAs薄膜を単純に基板上に形成した場合は、電子移動度の温度変化はバルクの状態とは異なっており、その温度変化の様子も十分理解されていないことによる。

また実用ホール素子の製作において、利用上の便利さやコストの要求から微小な( $0.4\text{mm}$ 角以下の)ホール素子チップを作製しようとする、消費電力による発熱が微小な部位に集中する。このため抵抗値の温度変化をできるだけおさえ、理想的には温度上昇とともに抵抗値が下がらなくする必要があるが、いまだ実現されていない。

#### (本発明が解決しようとする課題)

本発明は以上に説明した問題点を解消し、100℃以上で150℃付近の温度まで使用できるInAsホール素子を提供することにある。特にこの素子は抵抗値が温度とともに低下しない特性をもち、厚さ $1.4\mu\text{m}$ 以下で、かつ電子移動度が二層構造を有するInAs薄膜を感磁部としたInAsホール素子である。

#### (課題を解決するための手段)

このような問題点を解決するために本発明者は、基板上にエピタキシャル成長させたInAs薄膜に対して、電子輸送現象の解析と不純物原子のドーピングによる特性改善を試みた。すなわち基板とInAs層との界面の格子不整合によって界面に近い部分のInAsの格子が乱れるが、この部分の電気伝導に関する寄与が少なくなるような素子構造を検討した。

実際には本発明者はGaAs上に成長させた厚さ $1.4\mu\text{m}$ 以下のInAs薄膜に、InAsのドナー不純物として作用するSiのドーピングを試みた。その結果、

Siのドーピング量の増大とともにInAs薄膜中の電子濃度が当然のこととして大きくなったが、さらに、電子移動度の値が同一の結晶成長条件にも関わらず電子濃度とともに大きくなるという現象(参照第1表)と電子移動度の温度変化が大きくなるという現象を見いだした。

第 1 表

InAs薄膜の電子濃度と電子移動度の関係

ドーピング条件	電子移動度 ( $\text{cm}^2/\text{Vs}$ )	*電子濃度 ( $\times 10^{18}\text{cm}^{-3}$ )
ドーピングなし	7,000	6.0
Siドーピング1	11,600	7.1
2	13,500	8.5
3	13,600	9.3
4	14,600	15.7

膜厚  $0.4\mu\text{m}$

\*電子濃度はホール測定から求めた

(以下余白)

第2表にInAs中のSiがドーピングされた位置と電子移動度の関係を示す。

第 2 表

Siのドーピング部位とInAs薄膜の電子移動度の関係

No	Siのドーピング条件	電子移動度 ( $\text{cm}^2/\text{Vs}$ )
1	ドーピングなし	7,000
2	基板との界面から 0.2 $\mu\text{m}$ までドーピング	8,500
3	全体に均一にドーピング	14,000
4	表面より0.1 $\mu\text{m}$ までドーピング	13,000

膜厚 0.4  $\mu\text{m}$   
ドーパントSi

第2表によれば、表面近くにSiをドーピングしたInAs薄膜 (No. 4) は高い電子移動度を示しており、SiのドーピングによりInAs薄膜の電子移動度が大きく向上していることがわかる。一方Siを基板との界面付近にドーピングした場合 (No. 2) は、電子移動度の向上はみられていない。さらに、全体に均一にSiをドーピングした場合 (No. 3) は電子移動度の大きな向上がみられる。このことから、InAs薄膜

この事実をさらに確かめるために第3表にはSiをドーピングしたInAs薄膜の膜厚と電子移動度の関係及び基板の界面に近い低い電子移動度部 (A層) の電子移動度が膜厚に関係なく  $3,000\text{cm}^2/\text{Vs}$  としたときの高い電子移動度部 (B層) の電子移動度を示す。第3表より、SiをドーピングしたInAs薄膜の膜厚が厚くなるにしたがい電子移動度が大きくなることがわかるが、その値は0.1  $\mu\text{m}$  と0.2  $\mu\text{m}$  の間で急激に変化しており、変化量はこのとき最大である。これにより基板の界面近くは電子移動度が小さく、界面よりはなれた部分 (表面も含む) は電子移動度が極めて大きい構造となっていることがわかる。すなわち界面より0.1  $\mu\text{m}$  までは電子移動度の低い層 (A層と呼ぶ) で、0.1  $\mu\text{m}$  を境界として表面までは電子移動度の極めて大きい層 (B層と呼ぶ) があり二層の電子移動度部が形成されている。

本発明者はこのように二層の電子移動度部をもつ構造のInAs薄膜をつくり、高い電子移動度を実現し、この薄膜を用いてホール素子を製作した。

は厚さ方向で電子移動度の値が大きく変化的ことが明らかである。つまり、基板との界面近くはSiをドーピングしても低い電子移動度を示すが、基板との界面からある程度以上離れた部分にSiをドーピングすると大きな電子移動度を示すことから、SiのドーピングによりInAs薄膜が、高い電子移動度をもつ部分と低い電子移動度をもつ部分の二層の構造をもつことがわかる。

第 3 表

SiをドーピングしたInAs薄膜の特性と膜厚の関係

膜 厚 ( $\mu\text{m}$ )	電子移動度 ( $\text{cm}^2/\text{Vs}$ )		
	平均	A層	B層*
0.1	3,000	3,000	—
0.2	8,500	3,000	10,000
0.4	14,000	3,000	14,300
0.7	17,000	3,000	17,100
1.4	20,000	3,000	20,000

\*A層電子移動度が  $3,000\text{cm}^2/\text{Vs}$  のときB層の電子移動度を各層内で電子移動度一定として求めた

すなわちドナー不純物のドーピングにより、高い電子移動度を持ち、かつ電子濃度の大きいB層部と低い電子移動度のA層をもつInAs薄膜を製作し、これを用いてホール素子を作製した。本発明者が作製した二層構造のInAs薄膜のB層部はホール効果に寄与する割合が大きく、ドナー不純物のドーピングにより電子移動度が向上しており、かつこの部分を走る電子数も従来のInAs薄膜に比べて増大しており、薄膜の電気伝導はこの部分が主である。この結果、InAs薄膜の特性を大幅に改善することとなった。すなわちこのInAs薄膜において、電子移動度の温度変化が低温から150℃まで極めて小さくなった。したがってドナー不純物をドーピングすることにより電子濃度を大きくし、InAs薄膜の電子濃度の温度変化に依存する抵抗率の温度係数  $\beta\rho$  を室温付近で小さくするとともに、100℃～150℃における移動度の温度変化も大幅に小さくなり、この温度における抵抗率の温度係数  $\beta\rho$  も大幅に小さくなり、かつ  $\beta\rho \geq 0$  となった。第4図には本発明のInAs薄膜の電子移動度の温度

変化をグラフにより示し従来例と比較した。また、第5図には本発明のInAs薄膜の抵抗率の温度特性をグラフにより示し従来例と比較した。従来技術のInAs薄膜に比べ、高温部において電子移動度、抵抗率とも大幅に温度変化が小さくなっている。しかも150℃という高温まで抵抗率がほぼ一定であるという従来にない特性を示している。この結果、低温部から高温部まで抵抗率の温度係数を正にするとともに、その値も大幅に小さくなり、室温から150℃まで実質的に $\beta\rho \geq 0$ のホール素子を実現した。すなわち厚さ1.4 $\mu\text{m}$ 以下のInAs薄膜の抵抗値（正しくは抵抗率）の温度係数をほとんど零もしくは非負の値にならしめることを達成した。

これらのことにより、GaAs半絶縁性基板上に成長させた厚さ1.4 $\mu\text{m}$ 以下で、二層構造の電子移動度部を有するInAsエピタキシャル薄膜を用いて、温度領域-40℃から+150℃まで入力抵抗値の温度による低下がほとんどないInAsホール素子を実現した。

の基板上に成長させた二層の電子移動度層を有するInAs薄膜を感磁部としたホール素子の構造を示す。(a)は上面図であり、(b)は断面図である。4はホール素子の電極を示し、5はホール素子の感磁部を示す。第2図は、このホール素子がボンディングされ、パッケージされた一例を示す。6はモールド樹脂、7はAuワイヤー、8はリード線を示す。

このような本発明で重要な役割を果たす不純物原子としては一般にInAsにドナー不純物として作用するものがよく、Si、S、Ge、Sn等がある。そのドーピング量は少なくともInAs薄膜の高い電子移動度のB層において、キャリア濃度として $4 \times 10^{18}$ 個/ $\text{cm}^3$ 以上が必要であるが、それぞれの元素のドーピング量に限界があるため $8 \times 10^{17}$ 個/ $\text{cm}^3$ がキャリア濃度の上限である。ホール素子として好ましく用いられる1.4 $\mu\text{m}$ 以下の薄膜ではドーパントとしてSi、SまたはGeは特に好ましい原子である。

シート抵抗は、ホール素子設計の実使用範囲か

(作用)

この結果、InAsホール素子は、従来のように60℃を越えると入力抵抗値が温度の上昇とともに低下するという現象がなくなり、定電圧駆動上での大きな問題が解決した。さらに微小素子を作っても温度の上昇にともなって抵抗値が下がらないため電流が増大せず、消費する電力が増大しないため余分な発熱もなく、安定に高温まで動作することが明かとなった。このため、汎用性の高い高感度InAsホール素子の信頼性が大きくアップするとともに駆動電圧も大きくでき、大きな出力を得ることも可能となった。その結果、InAsホール素子の実用上の特性を大幅に向上できた。

(実施例)

第3図は、基板の界面近くの低い電子移動度部と界面より離れた高い電子移動度部の二層構造を有するInAs薄膜を示す。1は基板を示し、2はInAs薄膜で二層の構造をしており、21は低い電子移動度のA層、22は高い電子移動度のB層を示す。また3はドナー不純物を示す。第1図は、本発明

ら下限は50 $\Omega$ 程度である。またホール素子の入力抵抗値は通常1k $\Omega$ 以下が用いられており、本発明のInAs薄膜ではシート抵抗は400 $\Omega$ 以下が好ましい。

InAs薄膜の抵抗率を $\rho$ 、電子の電荷を $e$ 、電子濃度を $n$ 、電子のホール移動度を $\mu_n$ とすると $1/\rho = |e|n\mu_n$ の式より抵抗率 $\rho$ の温度係数 $\beta\rho$ は次式により表わすことができる。

$$\begin{aligned}\beta\rho &= (1/\rho)(d\rho/dT) \\ &= -(1/n)(dn/dT) + (-1/\mu_n)(d\mu_n/dT)\end{aligned}$$

電子濃度 $n$ を十分大きくなるようにすると、 $(dn/dT)$ の変化は大きくないので、第1項の寄与は極めて少なくなる。つまり $n$ が十分大きければこの項は抵抗率の温度変化に寄与しなくなる。このような状況は高温で $n$ が大きくなった場合またはドナー不純物のドーピング等により電子濃度 $n$ を大きくした場合に実現される。このときは、

$$\begin{aligned}\beta\rho &= (1/\rho)(d\rho/dT) \\ &\approx -(1/\mu_n)(d\mu_n/dT)\end{aligned}$$

という関係が成立し、 $\beta\rho \approx -\beta\mu_n$ が成り立つ。

すなわち、 $\beta\rho$ の温度変化は $\beta\mu_n$ によって支配される。したがって、抵抗率の温度変化を小さくするには電子移動度の温度変化を小さくすること、また高温部で $\beta\rho \geq 0$ とするには $\beta\mu_n \leq 0$ とすることが必要であり、それを実現するのが二層構造の電子移動度を有するInAs薄膜である。したがってこの薄膜を用いた本発明のInAsホール素子は抵抗値の温度変化がなく、高温で抵抗値が低下することがない。

第6図は、本発明のInAsホール素子の入力抵抗値の温度変化の様子を示す。第6図は、第5図の薄膜での特性を反映しており、大幅に温度変化が小さくなっていることを示している。ここで、

(イ)の線は本発明のInAsホール素子の抵抗値の温度特性を示し、(ロ)は従来技術のそれを示している。100℃以上において大幅に $\beta\rho$ が小さくなり、かつ $\beta\rho \geq 0$ である。これは、第3図および第4図に示した二層構造の電子移動度を有するInAs薄膜の $\mu_n$ の温度変化を反映したものである。

にフォトリソグラフィーの手法によりレジストパターンを所要の形状で形成したのち、電極となる金属層を形成し、しかるのちレジストを除去した。次いで表面に第2回目のレジストパターンをフォトリソグラフィーの手法により形成した。このレジストをマスクとして、ウェットエッチングにより、InAs上に形成した電極層の一部とInAs薄膜をメサエッチングした。さらに全面に絶縁層として $\text{Si}_3\text{N}_4$ をプラズマCVD法により基板加熱温度300℃で形成した。前述のフォトリソグラフィーによりレジストパターンを形成し、電極部上の $\text{Si}_3\text{N}_4$ を反応性イオンエッチングにより除去した。これらの工程により、1枚の基板上に約8,700個の第1図に示したようなホール素子を作製した。

次に、この基板上のホール素子をダイシングソーにより個々のホール素子チップに切断し、自動ダイボンダーによりリード上にこのチップをダイボンドし、次いで自動ワイヤーボンダーでリードとホール素子の電極部をAuワイヤーで接続した。次にホール素子のチップ表面にシリコン樹脂を付

#### 試作例1

半絶縁性で厚さ0.3mm、片面を鏡面研磨した直径2インチのGaAs基板を12枚セットしたホルダーを基板導入室より準備室を通して大型の分子線エビタキシー装置の超高真空である成長室へセットした。この基板ホルダーを水平回転させるとともにGaAs基板を基板加熱ヒーターにより輻射加熱し、基板の鏡面側に対向して装置されているIn, AsおよびSiの蒸発源、すなわちKセルより前記3元素を超高真空中で20分間蒸発させ、SiをドーブしたInAs単結晶で、0.4 $\mu\text{m}$ 厚さの薄膜をGaAsの基板の鏡面側に成長させた。基板の冷却後、この基板を分子線エビタキシー装置より取り出して特性を測定したところ、シート抵抗120 $\Omega$ 、電子移動度14,000 $\text{cm}^2/\text{Vs}$ であった。

このようにして、第3図(a)に示したInAs薄膜を試作した。基板の界面近くは低電子移動度であり、表面近くは高電子移動度であった、Siがドナー不純物としてドーブされている。

次にこのGaAs基板上に成長したInAs薄膜の表面

着させ保護したあと、トランスファーモールドによりエポキシモールドした。このモールドされた素子のダイバーカット、リードカットを行い、個々の樹脂モールドされた第2図に示したようなホール素子に仕上げた。

こうして製作したホール素子の代表的な特性を第4表に示す。

(以下余白)

第4表  
InAsホール素子の代表的な特性

素子No	入力抵抗 ( $\Omega$ )	出力抵抗 ( $\Omega$ )	定電圧駆動		定電流駆動	
			出力電圧(mV)	不平衡電圧mV	出力電圧(mV)	不平衡電圧mV
1	438	441	50.5	+0.7	14.7	+0.1
2	444	445	50.1	-0.7	14.8	-0.1
3	438	443	50.7	+1.2	14.8	+0.2
4	438	438	50.6	+1.2	14.7	+0.2
5	438	436	50.5	+0.8	14.7	+0.1
6	437	436	50.6	+0.5	14.7	+0.1
7	436	436	50.8	+0.9	14.8	+0.1
8	428	434	51.4	-0.4	14.7	-0.1
9	427	434	51.3	-0.0	14.6	-0.0

定電圧駆動では入力電圧3V、磁束密度500G。  
定電流駆動では入力電流1mA、磁束密度1kG

また、その温度特性を示したのが、第6図、第7図および第8図である。第6図から、本発明のホール素子の入力抵抗値は150℃まで低下することなく、第7図および第8図から、ホール出力電圧の温度変化も150℃まで定電圧駆動で-0.12%、定電流駆動で-0.11%であり、極めて小さな値を示すことが明かとなった。さらに第5表に、こうして作製したホール素子の代表的な信頼性テストの結果を示す。

第5表

同一サイズのホール素子での最大入力  
電圧値比較データ

	最大入力電圧値(V)	
	従来素子	本発明
素子 1	8.2	13.0
2	8.4	12.5
3	9.0	13.1
4	7.9	13.0
5	8.4	13.5
6	8.2	12.9

室温の最大入力電圧は、従来素子に比べ約50%向上しており、熱的に大幅に強化されたことを示しており、自己暴走的な高温でのトラブルモードもなくなった。

さらに温度による抵抗値の変化が小さく、ほぼ一定値のままであるため、不平衡電圧の温度変化も従来のホール素子に比べ極めて小さくなった。

第9図および第10図は、本発明のInAsホール素子のホール出力電圧の磁場依存性を示すが、磁束密度に対するホール出力電圧の直線性も良好である。

これらのことは、異なるいくつかの樹脂モールドでおこなってもかわらなかった。

#### 試作例2

試作例1に示した素子の作製工程の途中であるホール素子パターン形成後のウェハに対して、基板のバックポリッシングを行い、基板の厚みを約120 $\mu$ mとした後ダイシングソーにかけ、前述のダイボンド、ワイヤーボンド、シリコン樹脂付着、トランスファーモールドを行ったエポキシ

モールドされた厚さ0.60mmの薄型ミニモールド素子を試作した。この場合も、ホール素子の特性は前記試作例1と同様であった。また信頼性も同等の結果を示した。

#### 試作例3

試作例1において、SiのかわりにSをドーバントとして同様にInAsホール素子を試作した。この場合もSiのドーバントを用いた試作例1と同様の結果を示した。さらにGeをドーバントとした場合も同様であった。

このように、本発明のホール素子は入力抵抗値の温度変化が極めて小さく、さらにホール出力電圧の温度変化も小さく、InAs薄膜に特有の高電子移動度を利用できるためホール出力電圧は大きい。

#### 試作例4

半絶縁性で厚さ0.3mm、片面を鏡面研磨した直径2インチのGaAs基板を12枚セットしたホルダーを基板導入室より準備室を通して大型の分子線エピタキシー装置の超高真空である成長室へセットした。この基板ホルダーを水平回転させると



もにGaAs基板を基板加熱ヒーターにより輻射加熱する。また基板の鏡面側には、In, AsおよびSiの蒸発源、すなわちKセルが対向して装着されている。KセルよりIn, Asを5分間蒸発させ、その後In, As, Siを15分間蒸発させ、SiをドーブしたInAs単結晶で、 $0.4\mu\text{m}$ 厚さの薄膜をGaAsの基板の鏡面側に成長させた。基板の冷却後、この基板を分子線エビタキシー装置より取り出して特性を測定したところ、シート抵抗 $130\Omega$ 、電子移動度 $14,000\text{cm}^2/\text{Vs}$ であった。

このようにして、第3図(b)に示したInAs薄膜を試作した。基板の界面近くは低電子移動度であり、表面近くは高電子移動度であってSiがドナー不純物としてドーブされている。

このInAs薄膜を用いて試作例1と同様の方法でInAsホール素子を試作した。この場合も、ホール素子の特性は前記試作例1と同様であり、また信頼性も同等の結果を示した。

#### 試作例5

半絶縁性で厚さ $0.3\text{mm}$ 、片面を鏡面研磨した直

このInAs薄膜を用いて試作例1と同様の方法でInAsホール素子を試作した。この場合もホール素子の特性は前記試作例1と同様であり、また信頼性も同等の結果を示した。

#### 試作例6

GaAs基板の変わりに片面鏡面研磨した厚さ $0.12\text{mm}$ のサファイア基板の上に、Siをドーピングした厚さ $1.0\mu\text{m}$ のInAs薄膜を試作例1と同様の方法により成長させた。このInAs薄膜を用いて、試作例1と同様のプロセスによりInAsホール素子を作製した。このホール素子の入力抵抗の温度特性は、 $100^\circ\text{C}$ 以上 $150^\circ\text{C}$ まで試作例1と同様の特性を示した。この結果、本発明は基板がGaAsの場合以外でも成り立っていることが明かであり、本発明に用いる基板は、一般に分子線エビタキシー法によりInAs薄膜を成長できる基板であればGaAs, InP, サファイア, 表面に絶縁層を形成したSi基板等いずれでもよい。

#### (発明の効果)

以上説明したように、本発明によれば室温だけ

径2インチのGaAs基板を12枚セットしたホルダーを基板導入室より準備室を通して大型の分子線エビタキシー装置の超高真空である成長室へセットした。この基板ホルダーを水平回転させるとともにGaAs基板を基板加熱ヒーターにより輻射加熱する。また、基板の鏡面側にはIn, AsおよびSiの蒸発源、すなわちKセルが対向して装着されている。KセルよりIn, AsおよびSiを5分間蒸発させ、その後、結晶表面平坦化のため2分間Asのみ蒸発させ結晶成長を中断した。2分間の成長中断後、前記3元素を15分間蒸発させ、SiをドーブしたInAs単結晶で、 $0.4\mu\text{m}$ 厚さの薄膜をGaAsの基板の鏡面側に成長させた。基板の冷却後、この基板を分子線エビタキシー装置より取り出して特性を測定したところ、シート抵抗 $130\Omega$ 、電子移動度 $14,500\text{cm}^2/\text{Vs}$ であった。

このようにして、第3図(a)に示したInAs薄膜を試作した。基板の界面近くは低電子移動度であり、表面近くは高電子移動度であって、Siがドナー不純物としてドーブされている。

でなく、 $100^\circ\text{C}$ から $150^\circ\text{C}$ という高温まで安定に動作する高感度InAsホール素子を提供することができる。

#### 4. 図面の簡単な説明

第1図は本発明の基板上に成長させた二層の電子移動度層を有するInAs薄膜を感磁部としたホール素子の構造図を示し、(a)は上面図、(b)は断面図を示す。第2図はホール素子がボンディングされパッケージされた一例を示し、第3図は、基板の界面近くの低い電子移動度部(A層)と界面より離れた高い電子移動度部(B層)の二層構造を有するInAs薄膜を示し、(a)はA層、B層とも不純物をドーブしたもの、(b)はB層のみ不純物をドーブしたものを示す。第4図は本発明のInAs薄膜の電子移動度の温度変化を示すグラフ、第5図は本発明のInAs薄膜の抵抗率の温度変化を示すグラフ、第6図は、本発明のInAsホール素子の抵抗値の温度変化を示すグラフ、第7図および第8図は、本発明のInAsホール素子のホール出力電圧の温度変化を定電圧駆動と定電流駆動でそれぞれ示したグ

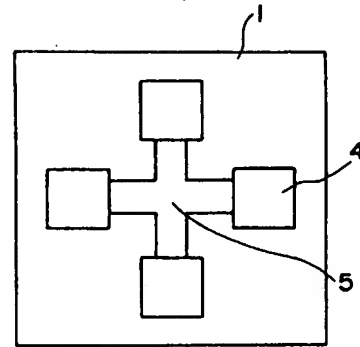
ラフ、第 9 図および第 10 図は、本発明の InAs ホール素子のホール出力電圧の磁場依存性を定電圧駆動と定電流駆動でそれぞれ示したグラフである。

1 …基板、2 …InAs 薄膜、21 …A 層、22 …B 層、3 …ドナー不純物、4 …電極、5 …ホール素子感磁部、6 …モールド樹脂、7 …Au ワイヤー、8 …リード線。

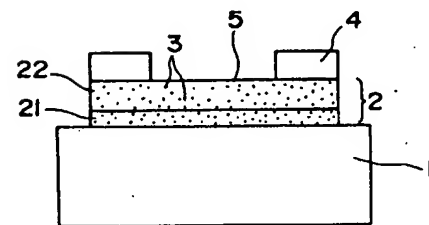
特許出願人 旭化成工業株式会社

第 1 図

(a)

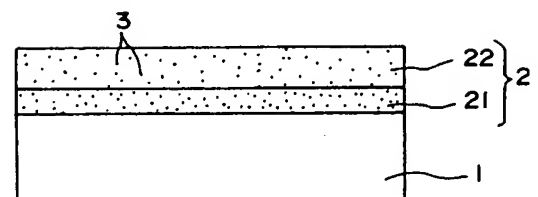


(b)

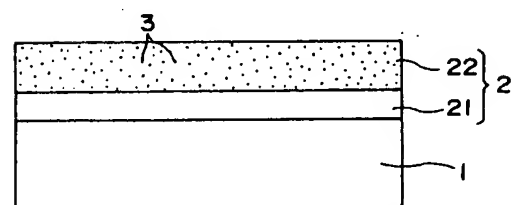


第 3 図

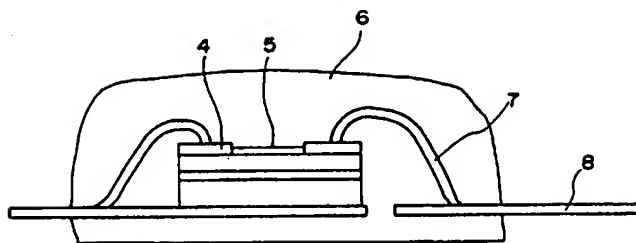
(a)



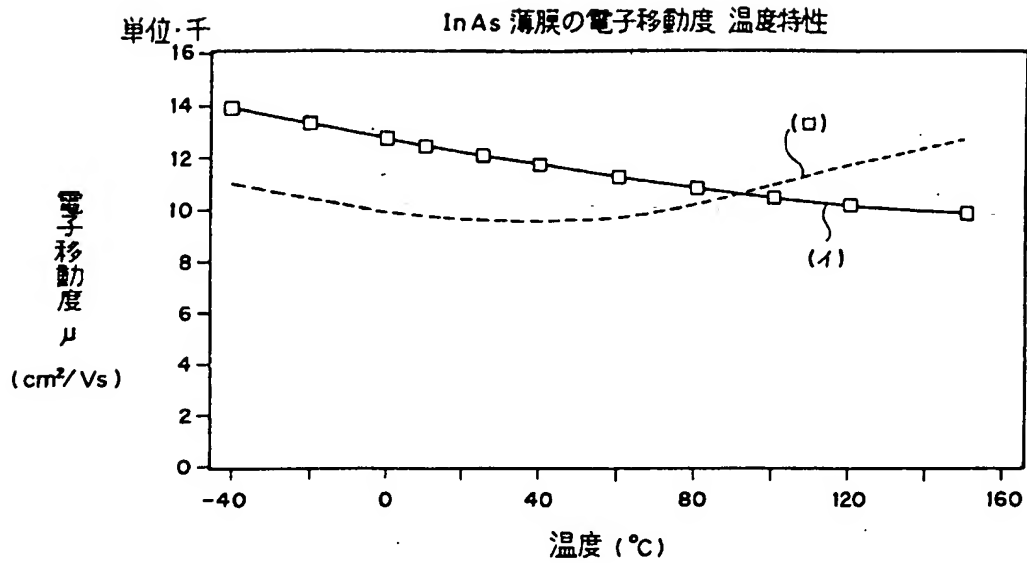
(b)



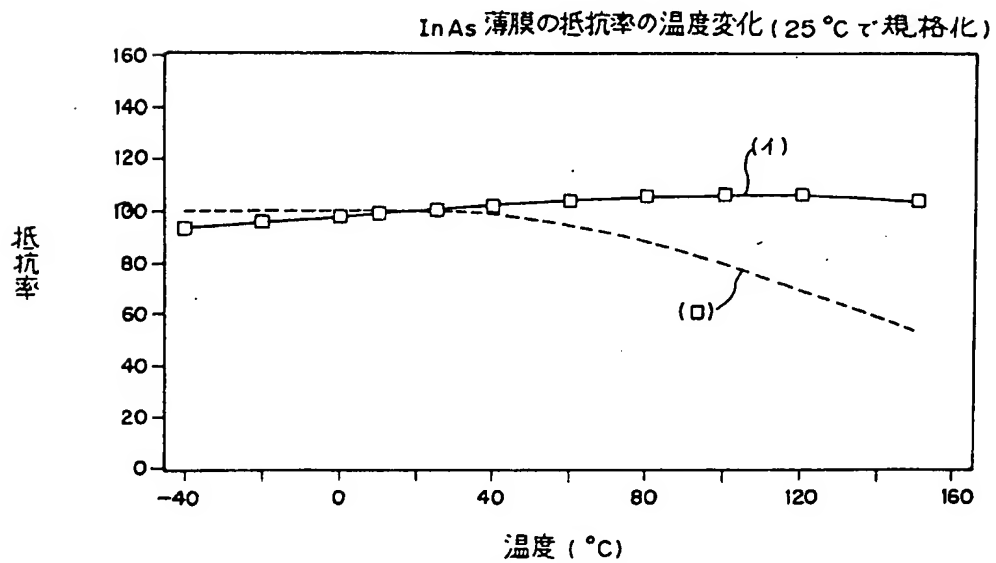
第 2 図



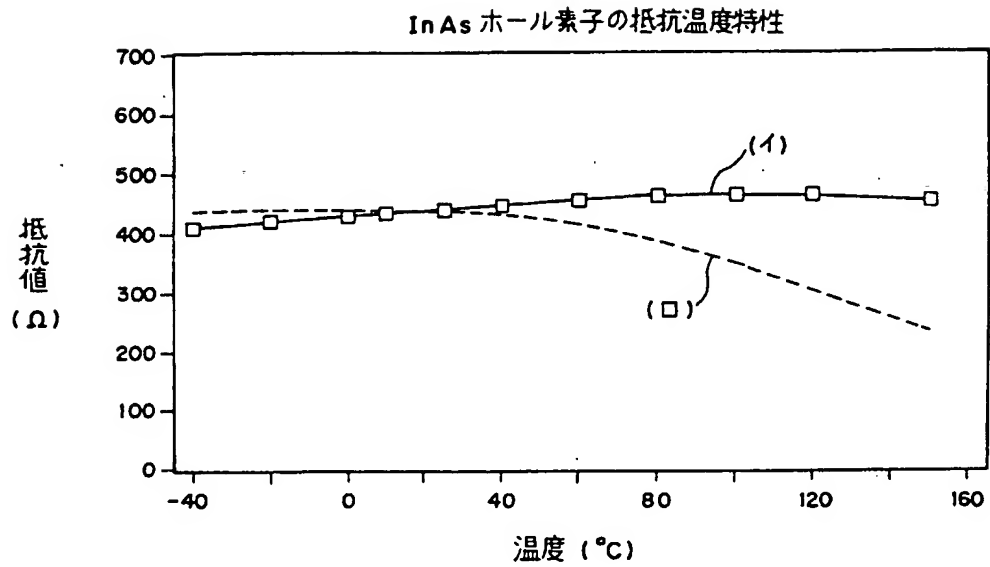
第 4 図



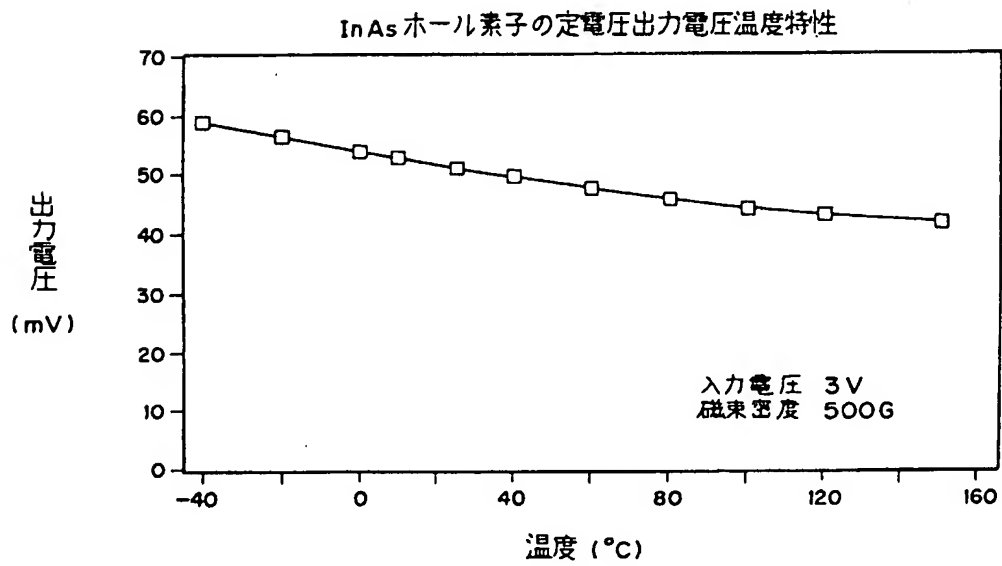
第 5 図



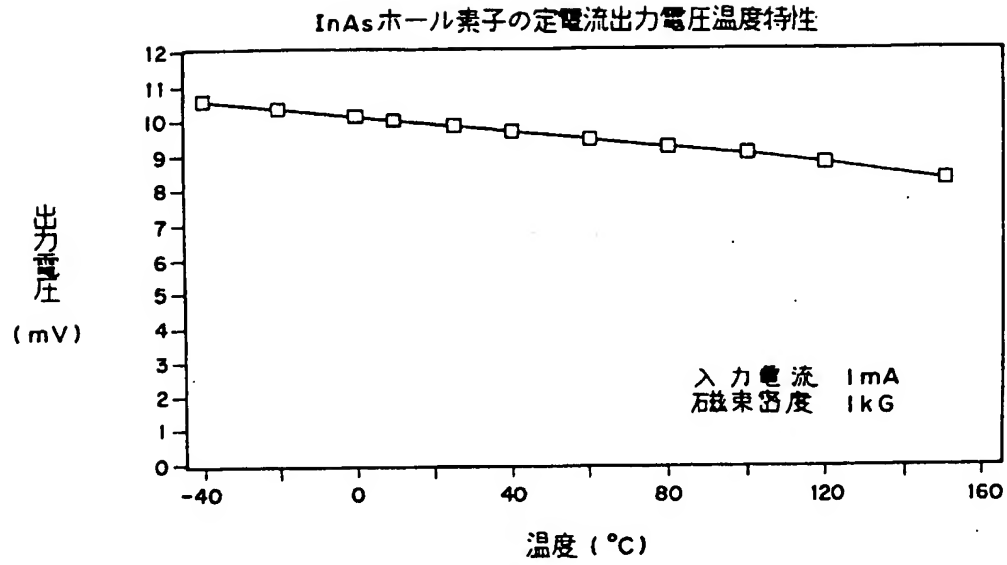
第 6 図



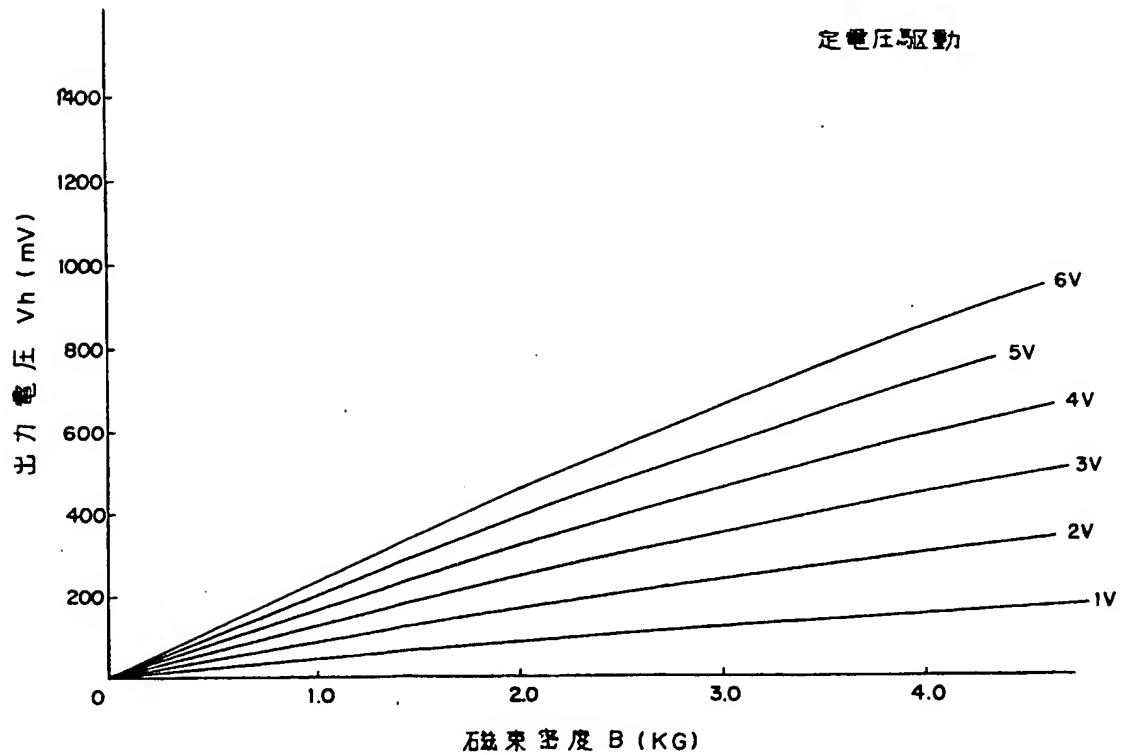
第 7 図



第 8 図



第 9 図



第10 図

